

#2

PATENT
Attorney Docket No.: 678-816 (P9949)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS: Takahiko KISHI

SERIAL NO.: not yet assigned

FILED: concurrent herewith

DATED: March 4, 2002

FOR: FREQUENCY CONVERTER

1c996 U.S. PTO
10/090521
03/04/02

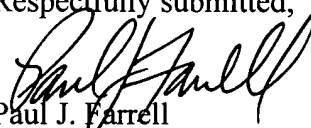
Commissioner for Patents
Washington D. C. 20231

TRANSMITTAL OF CERTIFIED COPY

Sir:

Enclosed is a certified copy of Japanese Patent Application No. 58396 filed on
March 2, 2001 and from which priority is claimed under 35 U.S.C. § 119.

Respectfully submitted,



Paul J. Farrell
Reg. No. 33,494
Attorney for Applicant(s)

DILWORTH & BARRESE, LLP
333 Earle Ovington Blvd.
Uniondale, NY 11553
TEL: (516) 228-8484
FAX: (516) 228-8516
PJF/DMO/lah

CERTIFICATION UNDER 37 C.F.R. § 1.10

I hereby certify that this correspondence (and any document referred to as being attached or enclosed) is being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" Mail Label Number EV035531579US addressed to: BOX PATENT APPLICATION, Commissioner for Patents, Washington, D.C. 20231 on March 4, 2002.

Dated: March 4, 2002


Douglas M. Owens III

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 2日

出 願 番 号

Application Number:

特願2001-058396

出 願 人

Applicant(s):

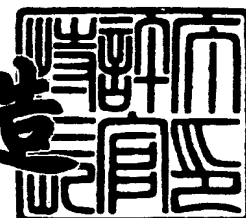
株式会社サムスン横浜研究所



2001年12月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3112910

【書類名】 特許願

【整理番号】 00122109

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H03D 7/00

【発明の名称】 周波数変換器

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市鶴見区菅沢町 2 - 7 株式会社サムスン
横浜研究所 電子研究所内

【氏名】 岸 孝彦

【特許出願人】

【識別番号】 598045058

【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9812566

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数変換器

【特許請求の範囲】

【請求項 1】 入力信号の周波数を任意の周波数に変換する周波数変換器であって、

L 個 (L は正の整数) の係数を M 分割 (M は正の整数) した $N (= L / M)$ 個の係数を持つ M 個の各ポリフェーズフィルタに、長さ M / K を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタと、

変換率 M のサンプリング周波数変換器と、

から構成されることを特徴とする周波数変換器。

【請求項 2】 前記ポリフェーズ構成のフィルタの代わりに、M 1 個の各ポリフェーズフィルタに、長さ $M 1 / K$ を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 1 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタないしは変換率 M 1 のサンプリング周波数変換器と、

M 2 = M - M 1 なる関係を持つ M 2 個の各ポリフェーズフィルタに、長さ $M 2 / K$ を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 2 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタないしは変換率 M 2 のサンプリング周波数変換器と、

を設けたことを特徴とする請求項 1 に記載の周波数変換器。

【請求項 3】 I 倍 (I は正の整数) のインタポレータを前記ポリフェーズ構成のフィルタの後段に設け、

前記ポリフェーズ構成のフィルタは、L 個 (L は正の整数) の係数を $(M \times I)$ 分割 (M は正の整数) した $P (= L / (M \times I))$ 個の係数を持つ $(M \times I)$ 個の各ポリフェーズフィルタに、長さ $(M \times I) / K$ を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた $(M \times I)$ 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタとし、

前記サンプリング周波数変換器は、 $1 / (M \times I)$ 倍のデシメーションを行う

ことを特徴とする請求項 1 に記載の周波数変換器。

【請求項 4】 $1/D$ 倍 (D は正の整数) のデシメータを前記ポリフェーズ構成のフィルタの前段に設け、

前記ポリフェーズ構成のフィルタは、 L 個 (L は正の整数) の係数を $(M \times D)$ 分割 (M は正の整数) した $Q (= L / (M \times D))$ 個の係数を持つ、 $(M \times D)$ 個の各ポリフェーズフィルタに、長さ $(M \times D)$ を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた $(M \times D)$ 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタとし、

前記サンプリング周波数変換器は、 $(M \times D)$ 倍のインタポレーションを行うことを特徴とする請求項 1 に記載の周波数変換器。

【請求項 5】 入力信号の周波数を任意の周波数に変換する周波数変換器であって、 M 個 (M は正の整数) の符号を M 分割した 1 個の符号を係数とする M 個の各ポリフェーズフィルタに、長さ M/K を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタと、

変換率 M のサンプリング周波数変換器と、

から構成され、

入力信号と前記符号との相互相関機能を有する

ことを特徴とする周波数変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル信号処理により入力信号の周波数を変換する周波数変換器に関し、特に良好な周波数特性を実現しながらサンプリング周波数の変換が可能な周波数変換器に関する。

【0002】

【従来の技術】

従来、周波数変換器には、例えば受信 RF / IF 信号を AD 変換した後に、ベースバンド、または復調処理 IF 信号へデジタル信号処理により周波数変換を行

うデジタルダウンコンバータ (DDC: Digital Down Converter) や、ベースバンド、または変調 I F 信号を D A 変換した後に、送信 R F / I F 信号を得るために、デジタル信号処理により周波数変換を行うデジタルアップコンバータ (DUC: Digital Up Converter) がある。これらの周波数変換器では、R F / I F 信号処理とベースバンド / 変復調 I F 処理に要求されるサンプリング周波数の違いから、信号自体の周波数変換だけでなく、信号のサンプリング周波数変換も同時に行われる。

信号自体の周波数変換のミキサには、乗算器が用いられるが、サンプリング周波数を変換する際にエイリアシングを抑圧するデシメーションフィルタおよびインターポレーションフィルタは、乗算器を用いる一般的な構成のフィルタでは複数の乗算器が必要になり、回路規模と消費電力が大きくなるので、サンプリング周波数と信号周波数帯域の比が大きいときには、C I C フィルタ (Cascade Integrated Comb Filter) と呼ばれるコムフィルタと積分器を縦列接続したフィルタが用いられてきた。

【 0 0 0 3 】

図 7 は、C I C フィルタを用いて実現した従来例のデジタルダウンコンバータ (DDC) であって、DDC 5 1 は、R F / I F 信号 $S(i)$ を A D 変換器 5 2 によりサンプリングした信号に、 $\cos(i)$ と $-\sin(i)$ の各信号を乗算する乗算器 4 1 を設けた乗算器直交変換器 5 3 により、ベースバンド周波数に周波数変換した後、C I C フィルタ 4 2 による $1/N$ 倍のデシメータ A 5 4 と、更に、ローパスフィルタ (F I R フィルタ) 4 3 と $1/D$ 倍ダウンサンブラ 4 4 による $1/D$ 倍のデシメータ B 5 5 により、低いサンプリング周波数にサンプリング周波数変換を行う。

【 0 0 0 4 】

図 8 は、ダウンサンプリングを行う C I C フィルタの構成を示す図であって、C I C フィルタは、M セクションのローパスフィルタを形成する加算器 6 1 と遅延器 6 2、及び M セクションのくし形フィルタを形成する減算器 6 3 と遅延器 6 4、更にローパスフィルタとくし形フィルタの間に設けられた $1/N$ 倍のダウンサンブラ 6 5 とから構成されている。

また、その入出力信号の周波数特性は、

$$H(Z) = (1 - Z - MN) / (1 - Z - 1)$$

で表され、図 9 に示すように、通過域がフラットではないフィルタ特性となる。

なお、図 9 の特性波形 B は、特性波形 A の周波数軸を拡大して表示したグラフである。

【0005】

【発明が解決しようとする課題】

しかし、上述の CIC フィルタを用いた DDC では、乗算器を用いることなくエイリアシングの抑圧が可能であったが、フィルタの通過域特性がフラットではないため、入力する信号の周波数帯域幅が広くなると、信号が CIC フィルタで受けた振幅の周波数特性歪みを補正する必要があり、また逆に通過帯域を広くしようとすると、フィルタの阻止帯域特性が悪化するために、思うようにエイリアシングが抑圧できないという問題があった。

【0006】

本発明は、上記問題点に鑑みてなされたもので、良好な周波数特性を持ち、かつ乗算器を極力削減した形の周波数変換器を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記の課題を解決するために、請求項 1 に記載の発明は、入力信号の周波数を任意の周波数に変換する周波数変換器であって、L 個（L は正の整数）の係数を M 分割（M は正の整数）した N（= L / M）個の係数を持つ M 個の各ポリフェーズフィルタに、長さ M / K を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタ（例えば実施の形態の乗算器 11、加算器 12、遅延器 13、マルチプレクサ 14 から構成されるフィルタ、または乗算器 24、遅延器 25、乗算器 26、加算器 27、加算器 28 から構成されるフィルタ）と、変換率 M のサンプリング周波数変換器（例えば実施の形態のラッチ回路 15、またはホールド回路 23 やホールド回路 31）とから構成されることを特徴とする。

以上の構成により、ポリフェーズ構成を利用して、周波数変換とフィルタに用

いられる乗算器を共有することで乗算器を削減し、フィルタ機能と周波数変換機能、更にはサンプリング周波数変換機能を持つ周波数変換器を実現することを可能とする。

【0008】

請求項2に記載の発明は、請求項1に記載の周波数変換器において、ポリフェーズ構成のフィルタの代わりに、 $M1$ 個の各ポリフェーズフィルタに、長さ $M1/K$ を周期とする正弦波の K 周期分の信号がサンプリング周期1でサンプリングされた $M1$ 個の各信号を、1対1で対応させて乗算したポリフェーズ構成のフィルタないしは変換率 $M1$ のサンプリング周波数変換器（例えば実施の形態のインタポレータ5）と、 $M2 = M - M1$ なる関係を持つ $M2$ 個の各ポリフェーズフィルタに、長さ $M2/K$ を周期とする正弦波の K 周期分の信号がサンプリング周期1でサンプリングされた $M2$ 個の各信号を、1対1で対応させて乗算したポリフェーズ構成のフィルタないしは変換率 $M2$ のサンプリング周波数変換器（例えば実施の形態のインタポレータ/ミキサ6）とを設けたことを特徴とする。

以上の構成により、更にポリフェーズ構成を分割して、自由な周波数変換とサンプリング周波数変換を可能とする。

【0009】

請求項3に記載の発明は、請求項1に記載の周波数変換器において、 I 倍（ I は正の整数）のインタポレータ（例えば実施の形態のインタポレータ3）をポリフェーズ構成のフィルタの後段に設け、ポリフェーズ構成のフィルタは、 L 個（ L は正の整数）の係数を $(M \times I)$ 分割（ M は正の整数）した $P (= L / (M \times I))$ 個の係数を持つ $(M \times I)$ 個の各ポリフェーズフィルタに、長さ $(M \times I)/K$ を周期とする正弦波の K 周期分の信号がサンプリング周期1でサンプリングされた $(M \times I)$ 個の各信号を、1対1で対応させて乗算したポリフェーズ構成のフィルタ（例えば実施の形態のデシメータ/ミキサ2）とし、サンプリング周波数変換器は、 $1 / (M \times I)$ 倍のデシメーションを行うことを特徴とする。

以上の構成により、マルチレート変換が可能で、かつ周波数変換ステップを更に I 倍に細かくできる周波数変換器を実現することを可能とする。

【0010】

請求項 4 に記載の発明は、請求項 1 に記載の周波数変換器において、 $1/D$ 倍 (D は正の整数) のデシメータ (例えば実施の形態のデシメータ 8) をポリフェーズ構成のフィルタの前段に設け、ポリフェーズ構成のフィルタは、 L 個 (L は正の整数) の係数を $(M \times D)$ 分割 (M は正の整数) した $Q (= L / (M \times D))$ 個の係数を持つ $(M \times D)$ 個の各ポリフェーズフィルタに、長さ $(M \times D) / K$ を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた $(M \times D)$ 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタ (例えば実施の形態のインタポレータ/ミキサ 9) とし、サンプリング周波数変換器は、 $(M \times D)$ 倍のインタポレーションを行うことを特徴とする。

以上の構成により、マルチレート処理を用いて、周波数変換ステップを更に D 倍に細かくできる周波数変換器を実現することを可能とする。

【0 0 1 1】

請求項 5 に記載の発明は、入力信号の周波数を任意の周波数に変換する周波数変換器であって、 M 個 (M は正の整数) の符号を M 分割した 1 個の符号を係数とする M 個の各ポリフェーズフィルタに、長さ M/K を周期とする正弦波の K 周期分の信号がサンプリング周期 1 でサンプリングされた M 個の各信号を、1 対 1 で対応させて乗算したポリフェーズ構成のフィルタと、変換率 M のサンプリング周波数変換器とから構成され、入力信号と符号との相互相関機能を有することを特徴とする。

以上の構成により、拡散信号が入力信号とされた場合、該信号の逆拡散と周波数変換を行うことを可能とする。

【0 0 1 2】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

まず、図 5 と図 6 を用いて、本発明の実施の形態による周波数変換器に用いるデシメータ/ミキサ、及びインタポレータ/ミキサの基本構成について説明する。

本発明では、入力信号をサンプリング変換するポリフェーズ構成のデシメータ、またはインタポレータにおいて、デシメータ、またはインタポレータを M 分割

した各N個の係数を持つポリフェーズフィルタのm相、n番目の係数 C_{mn} に、 \cos ないしは \sin のm番目の値、 $\cos(m\omega)$ ないしは $\sin(m\omega)$ を乗じることで、ポリフェーズ構成のデシメータ、またはインタポレータに、デシメーション、またはインタポレーションの機能とミキサの機能を持たせる。

従って、構成上はミキサの無いポリフェーズフィルタのみの周波数変換器が構成出来ることになる。

【0013】

すなわち、

$$H = C_0, C_1, C_2, \dots, C_{L-1}$$

のL個のフィルタ係数にM分割のポリフェーズ分解を行い、元のフィルタ係数とポリフェーズフィルタの係数の対応が $l = m \times n$ となるm相毎にN個の係数を持つ以下のフィルタ係数を得る。

$$H_0 = C_{00}, C_{01}, C_{02} \dots C_{0N-1}$$

$$H_1 = C_{10}, C_{11}, C_{12} \dots C_{1N-1}$$

$$H_2 = C_{20}, C_{21}, C_{22} \dots C_{2N-1}$$

.

.

.

$$H_{M-1} = C_{M-10}, C_{M-11}, C_{M-12} \dots C_{M-1N-1}$$

【0014】

更に、このポリフェーズフィルタと、KはMの因数である長さ M/K を周期とする正弦波 S_m を乗算する乗算器（ミキサ）とをカスケードに接続したとき、その処理は、

$$S_0 H_0 = S_0 C_{00}, S_0 C_{01}, S_0 C_{02} \dots S_0 C_{0N-1} = H'_0$$

$$S_1 H_1 = S_1 C_{10}, S_1 C_{11}, S_1 C_{12} \dots S_1 C_{1N-1} = H'_1$$

$$S_2 H_2 = S_2 C_{20}, S_2 C_{21}, S_2 C_{22} \dots S_2 C_{2N-1} = H'_2$$

.

.

.

$$SM-1HM-1 = SM-1CM-10, SM-1CM-11, SM-1CM-12 \dots$$

$$\dots SM-1CM-1N-1$$

$$= H' M-1$$

と等価である。

【0015】

すなわち、ミキサに用いるローカル信号の信号周期の倍数とポリフェーズフィルタの分割数が同じであれば、 L 個（ M は正の整数）の係数を M 分割した N （ $=L/M$ ）個の符号を係数とする M 個の各ポリフェーズフィルタに、長さ M/K を周期とするローカル信号（正弦波）の K 周期分の信号がサンプリング周期1でサンプリングされた M 個の各位相に相当する信号を、1対1で対応させて乗じておくことで、ポリフェーズ構成のフィルタの積和演算処理でミキサとしての乗算処理も同時に行えることになる。

また、サンプリング周波数変換比を M とするサンプリング周波数変換も同時に行われる。

【0016】

図5（a）は、従来のポリフェーズ構成のデシメータの入力に、周期 M の信号を乗算する乗算器を配置した構成を示しており、図5（b）は、これを本発明の実施の形態により構成したデシメータ／ミキサの基本構成を示す。図5（b）では、図5（a）の各ポリフェーズフィルタ $H_0(z)$ 、 $H_1(z)$ 、 $H_2(z)$ \dots $H_{M-1}(z)$ に、周期 M の信号の各位相に相当する信号 S_0 、 S_1 、 $S_2 \dots S_{M-1}$ が乗算された新たなポリフェーズフィルタを用いたフィルタが形成される。

同様に、図6（a）は、従来のポリフェーズ構成のインタポレータの出力に、周期 M の信号を乗算する乗算器を配置した構成を示しており、図6（b）は、これを本発明の実施の形態により構成したインタポレータ／ミキサの基本構成を示す。図6（b）でも、図6（a）の各ポリフェーズフィルタ $H_0(z)$ 、 $H_1(z)$ 、 $H_2(z) \dots H_{M-1}(z)$ に、周期 M の信号の各位相に相当する信号 S_0 、 S_1 、 $S_2 \dots S_{M-1}$ が乗算された新たなポリフェーズフィルタを

用いたフィルタが形成される。

【 0 0 1 7 】

(第 1 の実施の形態)

次に、図 1 の D D C の回路構成を示すブロック図と、図 2 の D D C の入出力の周波数特性を示す図を用いて、本発明の第 1 の実施の形態による周波数変換器について説明する。本実施の形態は、 $(M \times I)$ 個の係数を $(M \times I)$ 分割した 1 個の係数を持つポリフェーズフィルタによる構成であって、ポリフェーズフィルタの乗算器をポリフェーズフィルタの各相で共通化し、フィルタ係数と正弦波データからなる R O M データを各相毎に変更する実装を行った場合の形態である。

図 1 において、本発明の第 1 の実施の形態による D D C 1 は、R F / I F 信号 $S(i)$ を、A D 変換器 5 2 によりサンプリングした信号に、デシメータ / ミキサ 2 により実数信号から複素数信号への直交変換（直交復調）と周波数 $K\omega$ による周波数変換、及び $1 / (M \times I)$ 倍のデシメーションを行い、 I 倍アップサンプリング 1 6 とローパスフィルタ 1 7 を設けたインタポレータ 3 において I 倍のインタポレーションをした後、通信チャネルに与えられた帯域特性を持つローパスフィルタ 4 5 を設けたチャネルフィルタ 5 6 により帯域制限されたベースバンド信号 $i(j)$ 、 $q(j)$ として出力する。

【 0 0 1 8 】

デシメータ / ミキサ 2 は、 $n = 0, 1, \dots, (M \times I - 1)$ に従って、入力された実数信号に $\cos(nK\omega) C M \times I - n$ と $-\sin(nK\omega) C M \times I - n$ の各信号を乗算する乗算器 1 1 と、加算器 1 2 と遅延器 1 3 とマルチプレクサ 1 4 を備え、乗算器 1 1 の出力信号と先に遅延器 1 3 により遅延されてマルチプレクサ 1 4 を通して帰還した信号とを加算器 1 2 により加算し、再度遅延器 1 3 に入力することで累積加算する積分器とが組み合わされている。

これにより、フィルタ係数 $C M \times I - n$ による帯域制限と、入力されたサンプリング周波数 f_{s1} の信号に $\cos(nK\omega)$ 、 $-\sin(nK\omega)$ による $f_{s1} / (M \times I) \times K$ の周波数変換を同時に行い、更に、累積加算した信号を $(M \times I)$ 回に 1 回、 $n = 0$ の時にラッチ回路 1 5 により出力することにより、サンプリング周波数 f_{s1} の入力信号をサンプリング周波数 f_{s2} へ $1 / (M \times I)$

倍にデシメーションする。なお、マルチプレクサ 14 は、 $(M \times I)$ 回に 1 回、 $n = 0$ の時に信号 "0" を加算器 12 へ帰還することで、累積加算した信号をリセットする。

また、フィルタ係数が C_n ではなく $CM \times I - n$ とするのは、フィルタの畳み込み演算を行うことを示す。また、フィルタ係数を C_n とした場合は、相互相関器として動作する。

【0019】

従って、本実施の形態では、 $1 / (M \times I)$ 倍のデシメータ／ミキサの後で I 倍のインタポレーションを行うことで、 $I / (M \times I) = 1 / M$ 倍のデシメータを実現しつつ、 I 倍のインタポレーションを補正するためにデシメータ／ミキサのポリフェーズ分割を I 倍にし、周波数変換を行う周波数ステップを I 倍に細かくしている。

図 2 は、上述の本実施の形態による DDC において、デシメーション比 $(M \times I)$ が 128 の時の入出力の周波数特性を示した図であって、図 2 の特性波形 B は、特性波形 A の周波数軸を拡大して表示したグラフである。図 2 によると、本実施の形態による DDC の入出力の周波数特性は、図 9 に示す CIC フィルタの入出力の周波数特性と比較して、通過帯域、阻止帯域共に大きく改善され、帯域幅の広い信号を処理する場合においても、良好な周波数特性とエイリアシングの抑圧特性が得られる。

【0020】

(第 2 の実施の形態)

次に、図 3 の DUC の回路構成を示すブロック図を用いて、本発明の第 2 の実施の形態による周波数変換器について説明する。本実施の形態は、 $2 \times (M^2)$ 個の係数を (M^2) 分割した 2 個の係数を持つポリフェーズフィルタによる構成であって、ポリフェーズフィルタの乗算器と遅延器をポリフェーズフィルタの各相で共通化し、フィルタ係数と正弦波データからなる ROM データを各相毎に変更する実装を行った場合の形態である。

図 3 において、本発明の第 2 の実施の形態による DUC 4 は、複素数信号 i (i)、 $q(i)$ を、 $M1$ 倍のアップサンプラ 21 とローパスフィルタ 22 を設け

たインタポレータ 5 により $M1$ 倍のインタポレーションを行った後、インタポレータ / ミキサ 6 により、周波数 $K\omega$ による周波数変換と $M2$ 倍のインタポレーション、及び複素数信号から実数信号への直交変換を行い、 RF/IF 信号 $S(j)$ として出力する。

【 0 0 2 1 】

インタポレータ / ミキサ 6 は、入力された複素数信号を、時間 $M2$ だけホールドするホールド回路 23 と、乗算器 24 と遅延器 25、更に乗算器 26 と加算器 27 を設け、 $n = 0, 1, \dots, (M2 - 1)$ に従って、 $\cos(nK\omega)C(M2 - n)0$ と $-\sin(nK\omega)C(M2 - n)0$ 、及び $\cos(nK\omega)C(M2 - n)1$ と $-\sin(nK\omega)C(M2 - n)1$ の各信号を入力信号と積和演算する 2 タップの FIR フィルタとが組み合わされている。

ホールド回路 23 は、入力信号のサンプリング間隔の間に、 $M2$ サンプルの同一の出力を行う（アップサンプリングを行う）ホールド回路（マルチ出力回路）であって、ホールド回路 23 によりホールドした信号に、フィルタ係数 $C(M2 - n)0$ と $C(M2 - n)1$ による帯域制限と、入力されたサンプリング周波数 f_{s1} の信号に $\cos(nK\omega)$ 、 $-\sin(nK\omega)$ による $f_{s1}/M2 \times K$ の周波数変換を同時に行い、更に $1/M2$ 回毎に出力することにより、サンプリング周波数 f_{s1} の入力信号をサンプリング周波数 f_{s2} へ $M2$ 倍にインタポレーションする。

【 0 0 2 2 】

また、加算器 28 は、入力された複素数信号の実数軸側信号に \cos が乗算された実数軸側信号と、同様に虚数軸側信号に $-\sin$ が乗算されて生成された新たな実数軸側信号とを加算し、複素数信号を実数信号へ変換する直交変換（直交変調）を行う。

なお、フィルタ係数が Cn ではなく $C(M2 - n)$ とするのは、フィルタの畳み込み演算を行うことを示す。

従って、本実施の形態では、 $M1$ 倍のインタポレータと $M2$ 倍のインタポレータに更にポリフェーズ構成を分割して、自由な周波数変換とサンプリング周波数変換を実現している。

【 0 0 2 3 】

(第 3 の実施の形態)

次に、図 4 の DUC の回路構成を示すブロック図を用いて、本発明の第 3 の実施の形態による周波数変換器について説明する。本実施の形態は、 $2 \times (M \times D)$ 個の係数を $(M \times D)$ 分割した 2 個の係数を持つポリフェーズフィルタによる構成であって、ポリフェーズフィルタの乗算器と遅延器をポリフェーズフィルタの各相で共通化し、フィルタ係数と正弦波データからなる ROM データを各相毎に変更する実装を行った場合の形態である。

図 4 において、本発明の第 3 の実施の形態による DUC 7 は、複素数信号 i (i)、 q (i) を、ローパスフィルタ 29 と $1/D$ 倍のダウンサンプラ 30 を設けたデシメータ 8 により $1/D$ 倍のデシメーションを行った後、インタポレータ／ミキサ 9 により、周波数 $K\omega$ による周波数変換と $(M \times D)$ 倍のインタポレーション、及び複素数信号から実数信号への直交変換を行い、RF/IF 信号 S (j) として出力する。

【 0 0 2 4 】

インタポレータ／ミキサ 9 は、入力された複素数信号を、時間 $(M \times D)$ だけホールドするホールド回路 31 と、乗算器 24 と遅延器 25、更に乗算器 26 と加算器 27 を設け、 $n = 0, 1, \dots, (M \times D - 1)$ に従って、 $\cos(nK\omega)C(M \times D - n)_0$ と $-\sin(nK\omega)C(M \times D - n)_0$ 、及び $\cos(nK\omega)C(M \times D - n)_1$ と $-\sin(nK\omega)C(M \times D - n)_1$ の各信号を入力信号と積和演算する 2 タップの FIR フィルタとが組み合わされている。

ホールド回路 31 は、入力信号のサンプリング間隔の間に、 $(M \times D)$ サンプルの同一の出力を行う（アップサンプリングを行う）ホールド回路（マルチ出力回路）であって、ホールド回路 31 によりホールドした信号に、フィルタ係数 $C(M \times D - n)_0$ と $C(M \times D - n)_1$ による帯域制限と、入力されたサンプリング周波数 f_{s1} の信号に $\cos(nK\omega)$ 、 $-\sin(nK\omega)$ による $f_{s1} / (M \times D) \times K$ の周波数変換を同時に行い、更に $1 / (M \times D)$ 回毎に出力す

ることにより、サンプリング周波数 f_{s1} の入力信号をサンプリング周波数 f_{s2} へ ($M \times D$) 倍にデシメーションする。

【0025】

また、加算器 28 は、入力された複素数信号の実数軸側信号に \cos が乗算された実数軸側信号と、同様に虚数軸側信号に $-\sin$ が乗算されて生成された新たな実数軸側信号とを加算し、複素数信号を実数信号へ変換する直交変換（直交変調）を行う。

なお、フィルタ係数が C_n ではなく $C(M \times D - n)$ とするのは、フィルタの畳み込み演算を行うことを示す。

従って、本実施の形態では、 $1/D$ 倍のデシメーションの後で ($M \times D$) 倍のインタポレータ／ミキサを行うことで、 $(M \times D)/D = M$ 倍のインタポレータを実現しつつ、 $1/D$ 倍のデシメーションを補正するためにインタポレータ／ミキサのポリフェーズ分割を D 倍にし、周波数変換を行う周波数ステップを D 倍に細かくしている。

【0026】

【発明の効果】

以上の如く本発明によれば、ポリフェーズ構成のフィルタを利用し、周波数変換に用いるミキサの乗算器と、FIR フィルタの係数の乗算に用いる乗算器とを共用することで、消費電力を増大させることなく、従来より周波数特性が良好な周波数変換器を構成することを可能とする。

また、周波数変換器の前後にサンプリング周波数変換器を設けることで、ポリフェーズ構成のフィルタの分割数をサンプリング周波数の変換比率に合わせて変更し、これにより周波数変換器の周波数変換ステップを自由に変更することができるという効果が得られる。

従って、マルチレートに対応した自由なサンプリング周波数変換と、周波数ステップを自由に設定できる周波数変換器を、乗算器の利用を必要最小限に押さえたポリフェーズ構成のフィルタにより構成することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態による DDC の回路構成を示すブロッ

ク図である。

【図 2】 同実施の形態による D D C の入出力の周波数特性を示す図である。

【図 3】 本発明の第 2 の実施の形態による D U C の回路構成を示すブロック図である。

【図 4】 本発明の第 3 の実施の形態による D U C の回路構成を示すブロック図である。

【図 5】 本発明の実施の形態によるデシメータ／ミキサの基本構成を示す図である。

【図 6】 本発明の実施の形態によるインタポレータ／ミキサの基本構成を示す図である。

【図 7】 従来例の D D C の回路構成を示す図である。

【図 8】 従来例に用いた C I C フィルタの構成を示すブロック図である。

【図 9】 従来例の D D C の入出力の周波数特性を示す図である。

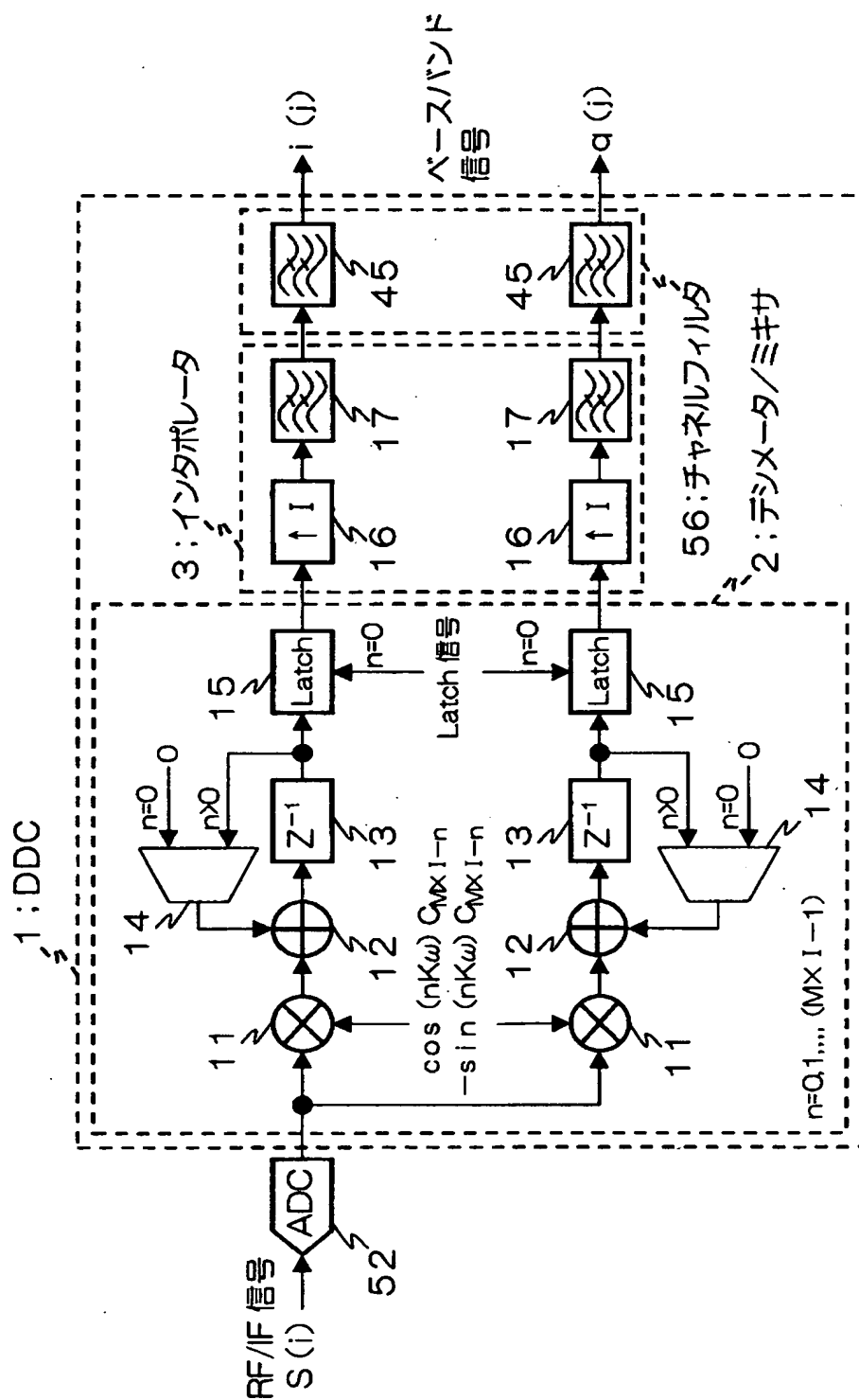
【符号の説明】

- 1 D D C
- 2 デシメータ／ミキサ
- 3 インタポレータ
- 4 D U C
- 5 インタポレータ
- 6 インタポレータ／ミキサ
- 7 D U C
- 8 デシメータ
- 9 インタポレータ／ミキサ
- 11、24、26 乗算器
- 12、27、28 加算器
- 13、25 遅延器
- 14 マルチプレクサ
- 15 ラッチ回路

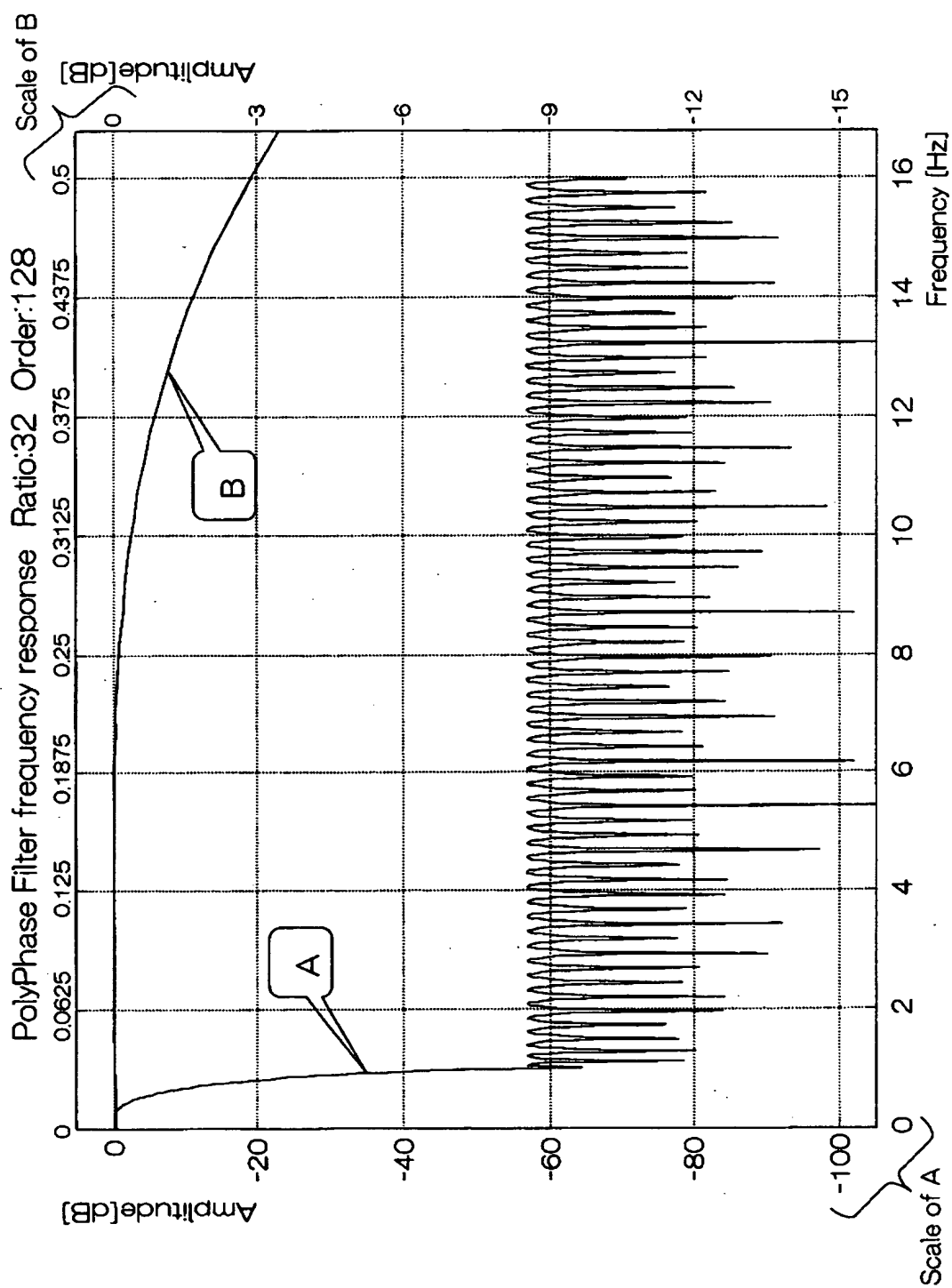
- 1 6 I 倍アップサンプラ
- 1 7、2 2、2 9、4 5 ローパスフィルタ
- 2 1 M 1 倍アップサンプラ
- 2 3、3 1 ホールド回路
- 3 0 $1/D$ 倍ダウンサンプラ
- 5 6 チャネルフィルタ

【書類名】 図面

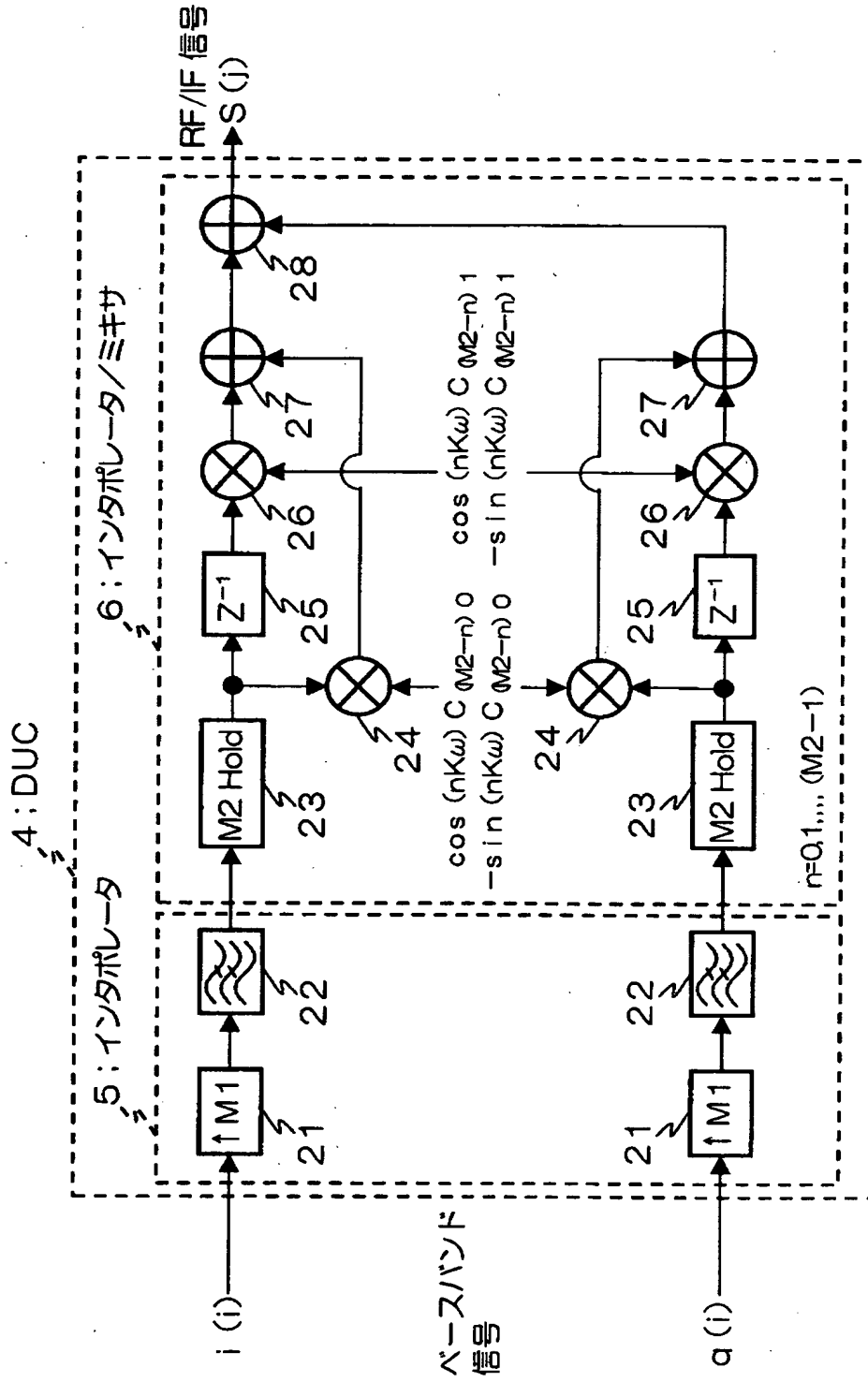
【図 1】



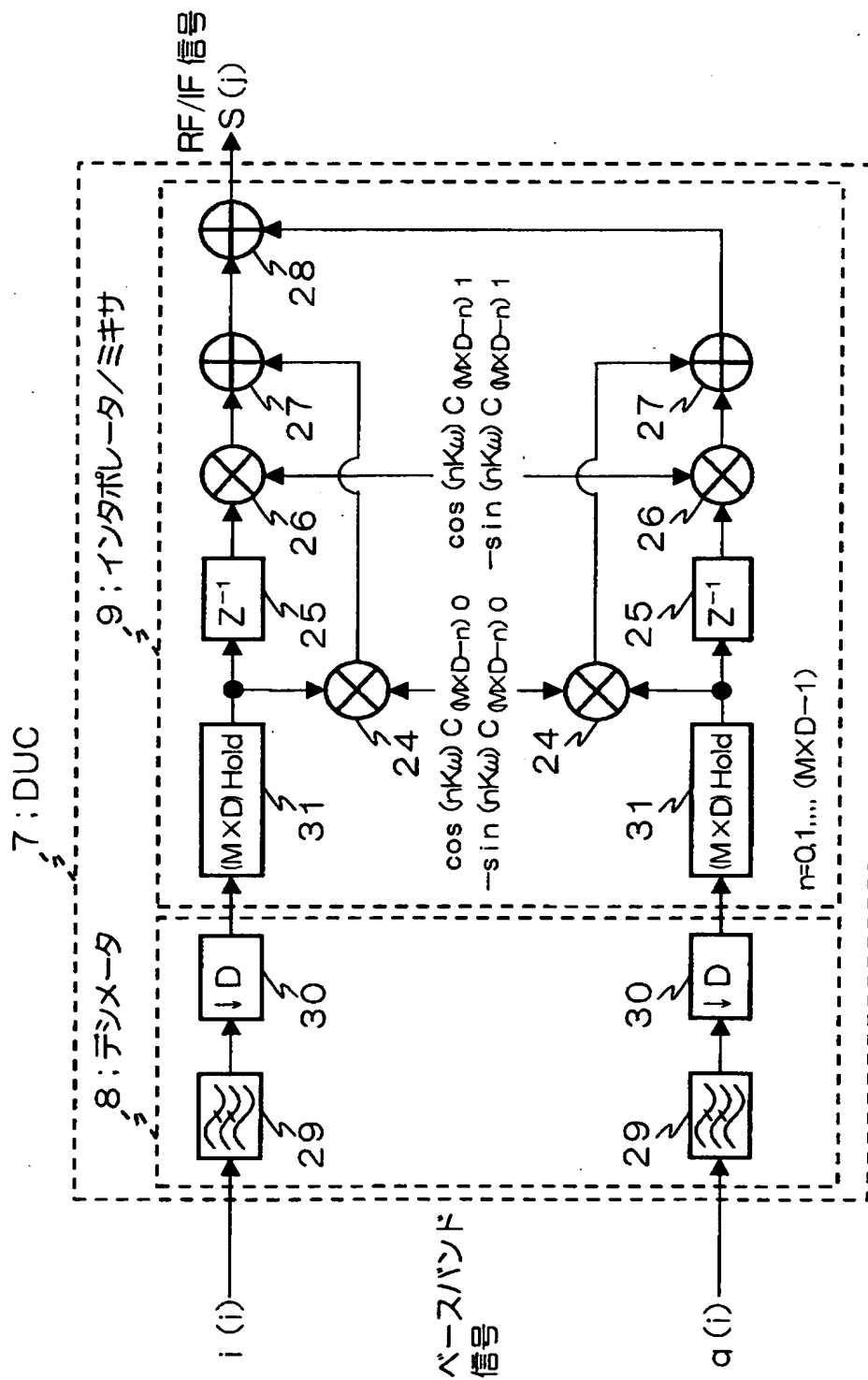
【図 2】



【図 3】

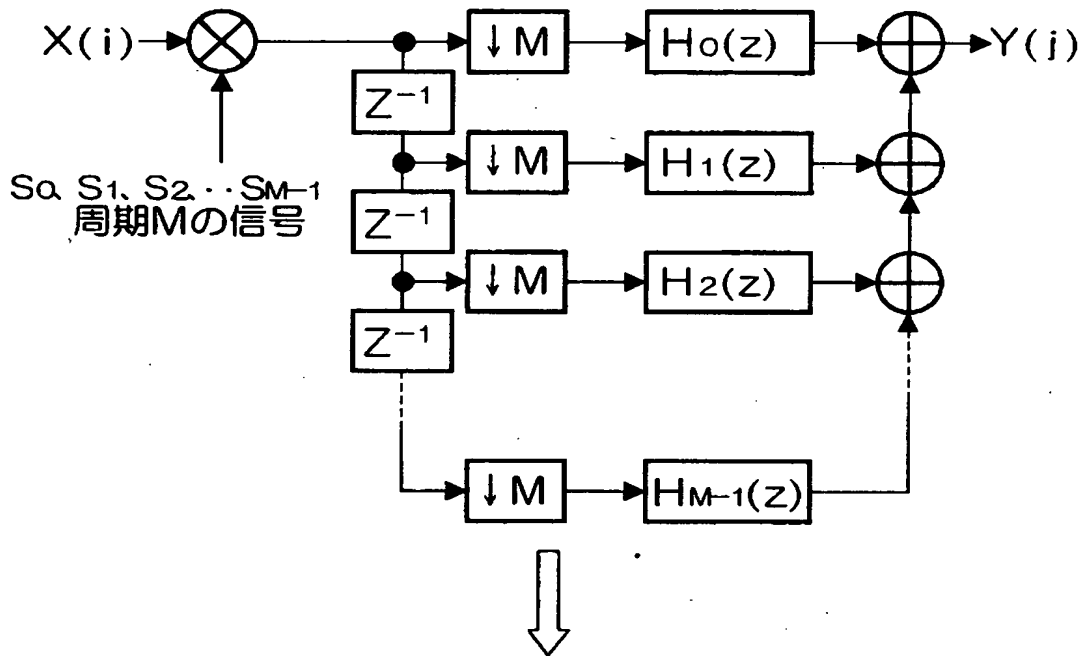


【図 4】

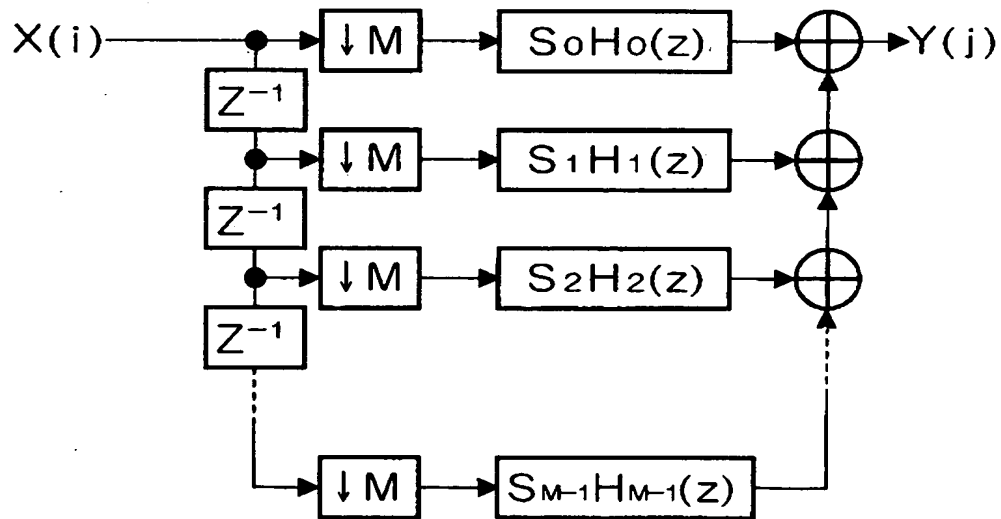


【図 5】

(a)

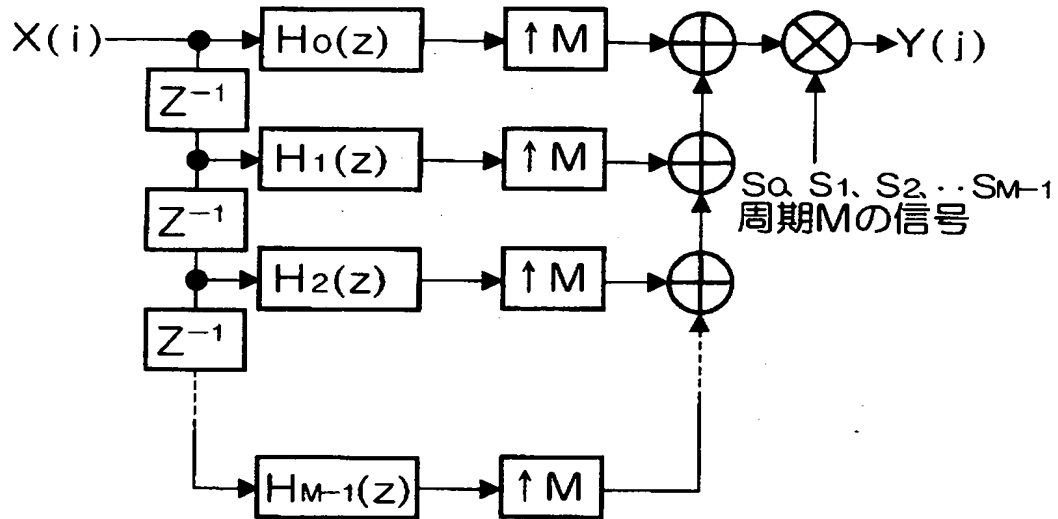


(b)

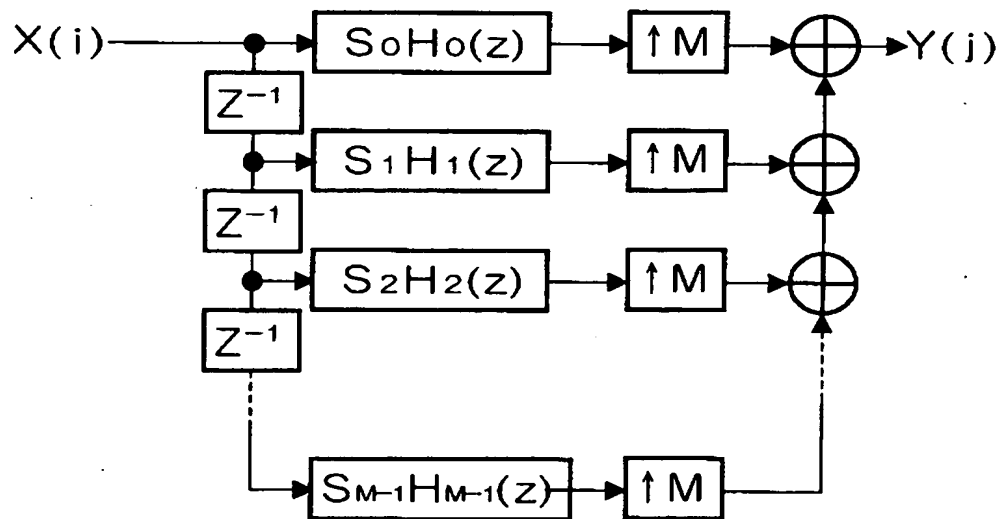


【図 6】

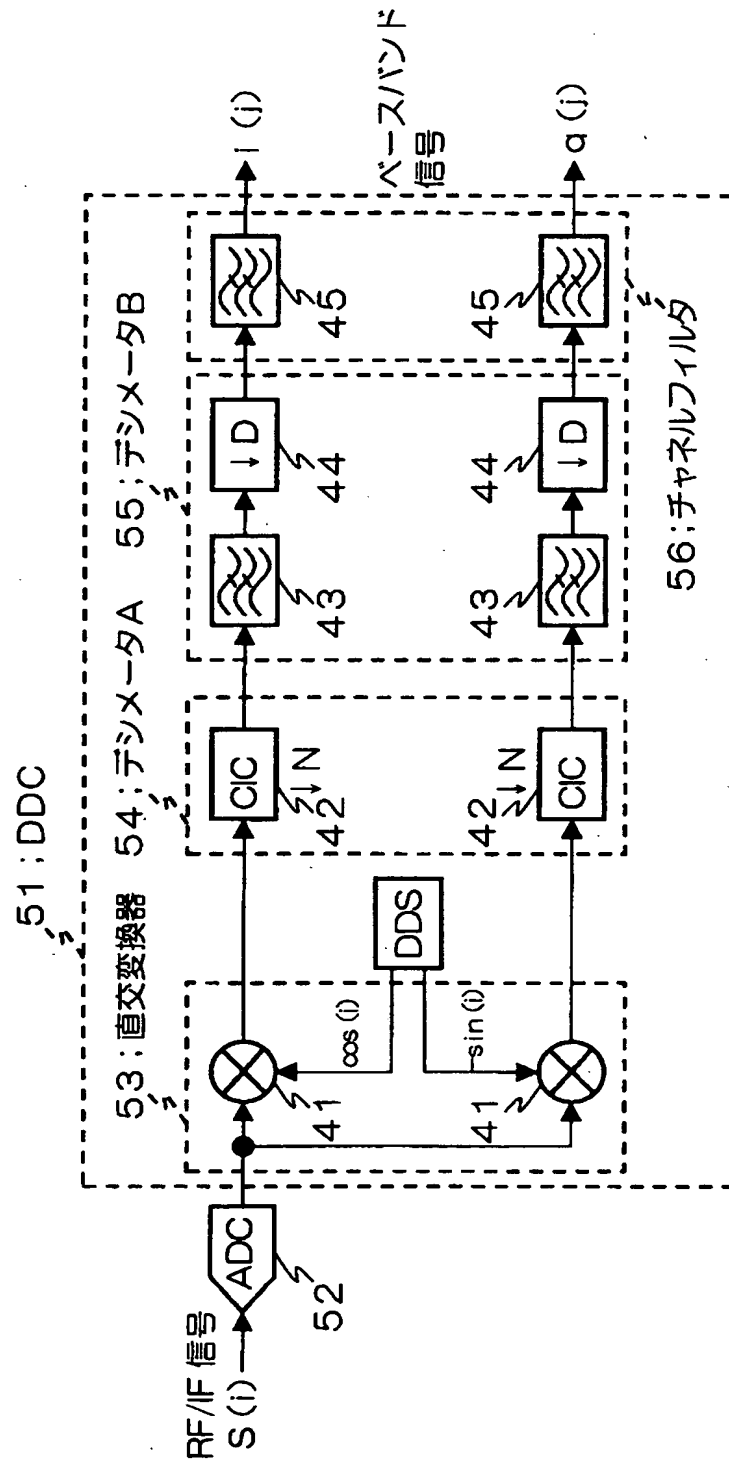
(a)



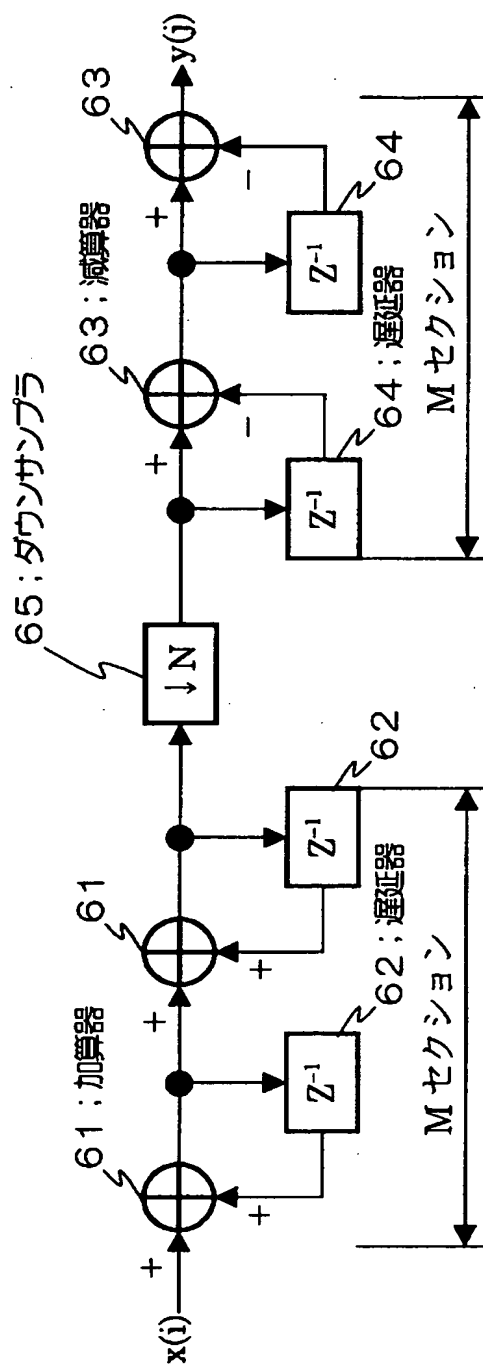
(b)



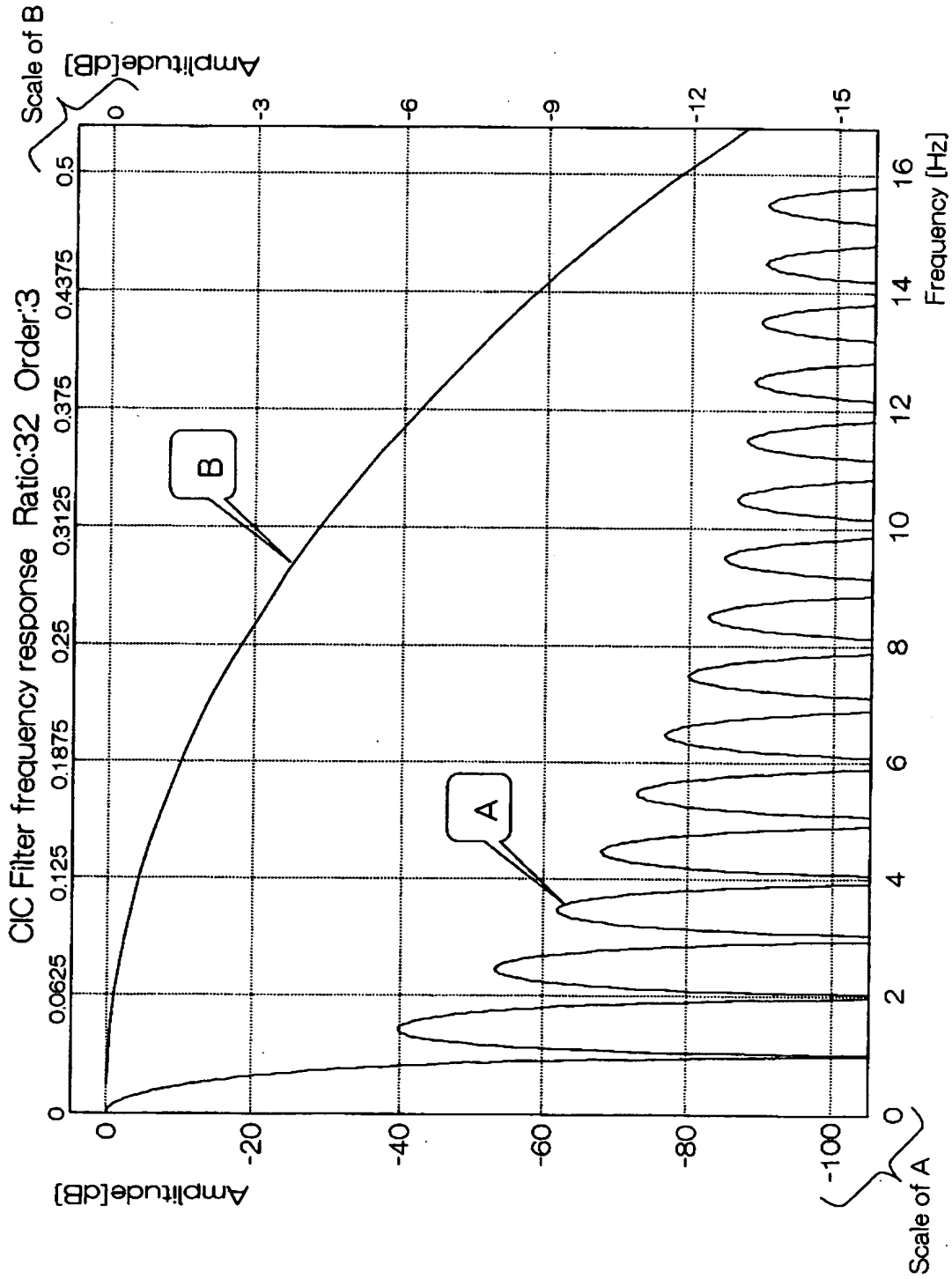
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 良好な周波数特性を持ち、かつ乗算器を極力削減した形の周波数変換器を提供する。

【解決手段】 DDC 1 は、入力された RF / IF 信号 $S(i)$ を、AD 変換器 5 2 によりサンプリングした信号に、 $(M \times I)$ 分割したポリフェーズ構成によるデシメータ / ミキサ 2 により、実数信号から複素数信号への直交変換と、周波数 $K\omega$ による周波数ステップを I 倍に細かくした周波数変換、及び $1 / (M \times I)$ 倍のデシメーションを行い、 I 倍アップサンプラ 1 6 とローパスフィルタ 1 7 を設けたインタポレータ 3 において I 倍のインタポレーションをした後、通信チャネルに与えられた帯域特性を持つローパスフィルタ 4 5 を設けたチャネルフィルタ 5 6 により帯域制限され、サンプリング周波数を入力の $1 / M$ 倍に変換されたベースバンド信号 $i(j)$ 、 $q(j)$ として出力する。

【選択図】 図 1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 1 - 0 5 8 3 9 6 |
| 受付番号 | 5 0 1 0 0 2 9 8 6 4 2 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0 0 9 6 |
| 作成日 | 平成 1 3 年 3 月 5 日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|---------------------|
| 【識別番号】 | 598045058 |
| 【住所又は居所】 | 神奈川県横浜市鶴見区菅沢町 2 - 7 |
| 【氏名又は名称】 | 株式会社サムスン横浜研究所 |

【代理人】

| | |
|----------|--|
| 【識別番号】 | 100064908 |
| 【住所又は居所】 | 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 志賀 正武 |

【選任した代理人】

| | |
|----------|--|
| 【識別番号】 | 100108578 |
| 【住所又は居所】 | 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 高橋 詔男 |

【選任した代理人】

| | |
|----------|--|
| 【識別番号】 | 100089037 |
| 【住所又は居所】 | 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 渡邊 隆 |

【選任した代理人】

| | |
|----------|--|
| 【識別番号】 | 100101465 |
| 【住所又は居所】 | 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 青山 正和 |

【選任した代理人】

| | |
|----------|--|
| 【識別番号】 | 100094400 |
| 【住所又は居所】 | 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所 |

次頁有

認定・付加情報（続き）

| | |
|-----------|-----------------------------------|
| 【氏名又は名称】 | 鈴木 三義 |
| 【選任した代理人】 | |
| 【識別番号】 | 100107836 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 西 和哉 |
| 【選任した代理人】 | |
| 【識別番号】 | 100108453 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 村山 靖彦 |

出 願 人 履 歴 情 報

識別番号 [5 9 8 0 4 5 0 5 8]

| | |
|----------|---------------------|
| 1. 変更年月日 | 1 9 9 8 年 3 月 2 0 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県横浜市鶴見区菅沢町 2 - 7 |
| 氏 名 | 株式会社サムスン横浜研究所 |